

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-069166
 (43)Date of publication of application : 25.03.1991

(51)Int.Cl.

H01L 29/784

(21)Application number : 01-205096

(71)Applicant : NIPPON SOKEN INC

(22)Date of filing : 08.08.1989

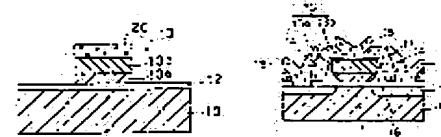
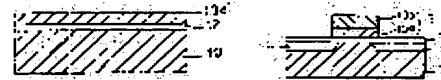
(72)Inventor : SAKAKIBARA NOBUYOSHI
OSHIMA HISAZUMI
UENO YOSHIKI

(54) MANUFACTURE OF MOS SEMICONDUCTOR ELEMENT

(57)Abstract:

PURPOSE: To form a reverse taper surely below a gate edge, to relax field concentration and to improve the gate breakdown strength by oxidizing a gate electrode consisting of polycrystalline silicon, etc., whose impurity concentration is higher in an upper part than in a lower part and by forming a sidewall oxide film which corresponds to the distribution of impurity concentration.

CONSTITUTION: A gate electrode 13 consists of polycrystalline or amorphous silicon having a specified distribution whose concentration of conductive impurity contact is higher in a lower part 13a than in an upper part 13b. The gate electrode 13 is formed on a semiconductor substrate 10 through an oxide film 12. Then, the gate electrode 13 is oxidized to form side wall oxide films 16, 17 having a film thickness corresponding to concentration distribution of the said conductive impurity onto the sidewall of the gate electrode 13. For example, after a polycrystalline Si gate 13 is formed which consists of high concentration phosphorus content layer 13a and a low concentration phosphorus content layer 13b, n-type impurity is doped to form an n-type high concentration source/drain region 11. Then, a polycrystalline Si gate 13 is thermally oxidized by wet oxidation at 750° C to form an oxide film on the upper side and the sidewall of the polycrystalline Si gate 13.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

平3-69166

⑫ Int. Cl. 5

H 01 L 29/784

識別記号

府内整理番号

⑬ 公開 平成3年(1991)3月25日

8728-5F H 01 L 29/78

301 G

審査請求 未請求 請求項の数 3 (全6頁)

⑭ 発明の名称 MOS型半導体素子の製造方法

⑮ 特 願 平1-205096

⑯ 出 願 平1(1989)8月8日

⑰ 発明者 楠原伸義 愛知県西尾市下羽角町岩谷14番地 株式会社日本自動車部品総合研究所内
⑱ 発明者 大島久純 愛知県西尾市下羽角町岩谷14番地 株式会社日本自動車部品総合研究所内
⑲ 発明者 上野祥樹 愛知県西尾市下羽角町岩谷14番地 株式会社日本自動車部品総合研究所内
⑳ 出願人 株式会社日本自動車部品総合研究所 愛知県西尾市下羽角町岩谷14番地
㉑ 代理人 弁理士岡部 隆 外1名

明細書

1. 発明の名称

MOS型半導体素子の製造方法

2. 特許請求の範囲

(1) 導電性不純物の含有濃度がその上部より下部において高濃度となる所定の分布を有する多結晶あるいはアモルファスのシリコンよりなるゲート電極を、酸化膜を介して半導体基板上に形成するゲート形成工程と、

前記ゲート電極を酸化して、前記ゲート電極の側壁に前記導電性不純物の含有濃度の分布に対応した膜厚の側壁酸化膜を形成するゲート酸化工程と

を含むことを特徴とするMOS型半導体素子の製造方法。

(2) 前記ゲート形成工程は、前記酸化膜上に高濃度に導電性不純物を拡散した多結晶あるいはアモルファスのシリコン膜からなる第1のゲート電極

層を堆積し、この第1のゲート電極層上に低濃度に導電性不純物を拡散した多結晶あるいはアモルファスのシリコン膜からなる第2のゲート電極層を堆積し、焼いて、この第2および第1のゲート電極層を所定の領域を残してエッチングしてゲート電極を形成するようにしたことを特徴とする請求項(1)記載のMOS型半導体素子の製造方法。

(3) 前記導電性不純物はリンであることを特徴とする請求項(1)もしくは(2)に記載のMOS型半導体素子の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、MOS型半導体素子の製造方法に関するものである。

〔従来の技術〕

高集積化の要請によるデバイスの微細化について、例えばMOSFETのようなMOS型半導体

特開平3-69166(2)

素子においてそのゲート酸化膜の膜厚は極薄化の傾向にある。そのため、ゲート酸化膜に印加される電界強度は増大し、それに伴うゲート酸化膜の絶縁破壊はMOS型半導体素子で避けられない問題となっている。特に、ゲート電極の端部（第6図においてA点）においては、該ゲート電極の形状が急峻であるため、電界集中が生じ易く、この部分でのゲート酸化膜の絶縁破壊は非常に起こり易いものとなっている。なお、第6図は従来のnチャネルMOSFETの概略断面図であり、10は単結晶のシリコン基板に形成したp+領域、11はn型高濃度ソース・ドレイン領域、12はゲート酸化膜、13はpolySiからなるゲート電極（以下polySiゲートとする）、14は層間絶縁膜、15は高濃度ソース・ドレイン領域11およびpolySiゲート13と電気的に接続されたAL配線である。

〔発明が解決しようとする課題〕

本発明は、上記点に鑑み、例えば第5図のnチャ

チャネルMOSFETに示すように、ゲート電極（polySiゲート）13の端部（A部）を逆テーパ状にして、このA部におけるゲート酸化膜12の膜厚を厚くするようすれば、ゲート電極13と高濃度ソース・ドレイン領域11との間の電界は緩和され、それによりゲート端部Aでの電界集中を緩和してゲート耐圧を向上させ得ることに着目し、上記構造を有するMOS型半導体素子を確実に作製することができるMOS型半導体素子の製造方法を提供することを目的とする。

〔課題を解決するための手段〕

本発明は上記目的を達成するために、polySiの熱酸化における酸化速度のpolySi中の不純物濃度依存性を利用し、ゲート側壁におけるゲートの厚さ方向での側壁酸化膜の膜厚を積極的に変化させることにより、ゲート端部下部における逆テーパを確実に形成しようとするものである。

第2図のpolySiの熱酸化における酸化膜

厚と不純物濃度の関係を示す特性図に見るように、例えば不純物濃度 1×10^{20} (cm⁻³) と 1×10^{21} (cm⁻³) では約8倍の酸化速度比がある。

すなわち、請求項1記載の発明において、導電性不純物の含有濃度がその上部より下部において高濃度となる所定の分布を有する多結晶あるいはアモルファスのシリコンよりなるゲート電極を、酸化膜を介して半導体基板上に形成するゲート形成工程と、

前記ゲート電極を酸化して、前記ゲート電極の側壁に前記導電性不純物の含有濃度の分布に対応した膜厚の側壁酸化膜を形成するゲート酸化工程と

を含んでMOS型半導体素子を製造するという技術的手段を採用する。

〔作用および効果〕

上述のようにpolySiの酸化速度はpolySi中に含有する不純物濃度に依存するため、ゲート形成工程において、polySiゲートをそ

の下部において導電性不純物の濃度を高く上部に行くにしたがってこの不純物濃度を低くするようにして形成しておけば、ゲート酸化工程において第1図に示すようにゲート下部ほど側壁酸化膜(SiO₂膜)は厚く形成され、その分polySiゲートは下端部Aにおいて削られることになる。すなわち、本発明の製造方法によれば、ゲート端部下部における逆テーパを確実に形成することができ、ゲート端部での電界集中を緩和してゲート耐圧を向上することができるMOS型半導体素子を提供することができるという優れた効果がある。

〔実施例〕

以下、本発明を図に示す実施例に基づいて説明する。

第3図(a)～(f)は本発明一実施例を適用したnチャネルMOSFETの製造工程順の断面図である。

第3図(a)参照

まず、p-型単結晶シリコン基板10表面に酸

特開平3-69166(3)

化膜12を被着してゲート酸化膜とし、このゲート酸化膜12上に第1のpolySi層として高濃度にリンを含有したpolySi層13a'を減圧CVD法にて堆積する。polySi層にリンを含有せしめる手段として、ノンドープのpolySi層を堆積させた後にリンを拡散させる方法、あるいはpolySi層堆積と同時にリンを含有させる方法がある。なお、後者は例えばPH₃等のドーパントガス雰囲気下でpolySi層を堆積せるものである。

第3図(b)参照

次に、この高濃度にリンを含有した第1のpolySi層13a'上に第2のpolySi層として低濃度にリンを含有あるいはノンドープのpolySi層13b'を同じく減圧CVD法にて堆積する。

なお、第3図(a)に示す工程がドーパントガス雰囲気下でpolySi層を堆積するものである場合は、ある程度高濃度にリンを含有したpolySi層が堆積したらドーパントガスの供給を遮断

して続けてpolySi層を堆積するようすれば、上部と下部においてリンの含有度が異なるpolySi層が堆積させられる。

第3図(c)参照

続いて、第2のpolySi層13b'上にレジスト20を塗布し、これをバターニングした後、第2のpolySi層13b及び第1のpolySi層13a'を連続して異方性エッチングする。そして、図に示すように高濃度リン含有層13aおよび低濃度リン含有(あるいはノンドープ)層13bからなるpolySiゲート13が形成される。

第3図(d)参照

次に、レジスト20を剥離した後に、このpolySiゲート13をマスクとしてn型不純物をドープして、polySiゲート13と自己整合的にn型高濃度ソース・ドレイン領域11を形成する。

第3図(e)参照

そして、次にpolySiゲート13を例えば

750°Cのウェット酸化により熱酸化し、polySiゲート13の上面および側壁に酸化膜を形成する。この時、polySiゲート13の上部、下部においてリンの含有度が異なるため、前述のようにpolySiの酸化速度のリン濃度依存性により、高濃度にリンを含有した13a層、すなわちpolySiゲートの下部における側壁酸化膜16の膜厚が厚くなり、一方、リン含有度が低濃度であるpolySiゲートの上部(13b層)の側壁酸化膜17の膜厚は薄く形成される。

第3図(f)参照

その後、通常の製造方法により、層間絶縁膜4を形成し、コンタクトホールを開口して所定のAl配線15を形成し、図に示すnチャネルMOSFETを製造した。

第3図(f)に示すように、polySiゲート13の厚さ方向で側壁酸化膜は上部17は薄く下部16は厚くなるような分布を持っているので、polySiゲート13の断面形状は端部において逆テープ状となる。すなわち、ゲート酸化膜12

のゲート端部における膜厚は厚くなり、polySiゲート13と高濃度ソース・ドレイン領域11との間のフリンジ電界は緩和される。このため、ゲート端部での電界集中は緩和され、ゲート耐圧を向上することができる。

次に、本発明を適用してVLSIの基本デバイスとして注目されているLDD(Lightly Doped Drain)構造のnチャネルMOSFETを製造した例を第4図(a)～(e)を用いて説明する。

第4図(a)参照

まず、第3図(a)～(c)に示す工程と同様にして、p型シリコン基板10上にゲート酸化膜12を介してリン含有度が高濃度の13a層と低濃度の13b層からなるpolySiゲート13を形成した。

第4図(b)参照

次に、このpolySiゲート13をマスクとしてp型シリコン基板10にn型不純物をドープしてpolySiゲート13と自己整合的にn型低濃度ソース・ドレイン領域21を形成した。

特開平3-69166(4)

第4図(c)参照

統いて、第3図(e)に示す工程と同様にしてpolySiゲート13を熱酸化し、polySiゲート13上部および側壁部に酸化膜を形成する。この時、前述のように側壁酸化膜は、polySiゲート13の厚さ方向において上部17は膜厚が薄く、下部16は膜厚が厚く形成され、polySiゲート13の下部(13a層)は酸化膜により削られ、逆テーパ状となる。

第4図(d)参照

次に、polySiゲート13および側壁酸化膜16をマスクとしてp型シリコン基板10にn型不純物を高濃度にドープして、側壁酸化膜16と自己整合的にn型高濃度ソース・ドレイン領域11を形成した。

第4図(e)参照

そして、通常の製造方法により、層間絶縁膜14を形成し、コンタクトホールを開口して所定のAL配線15を形成し、図に示すLDD構造のnチャネルMOSFETを製造した。

性に大きな劣化が現れることが報告されている。これは、LDD構造において電界強度が最大となる位置が低濃度ドレイン領域上にあり、この領域上の側壁酸化膜中にホットキャリアが注入されてトラップされることによって負電荷による電界が形成され、低濃度ドレイン領域の抵抗を増大させてしまうためである。すなわち、この寄生抵抗によりドレイン電流の減少を引き起こすのである。

しかしながら、第4図(e)に示すように、本発明によるLDD構造MOSFETは、第4図(c)に示すpolySiゲート13の酸化時に形成されるpolySiゲート側壁の酸化膜16の膜厚により、側壁酸化膜はサイドウォールとして利用でき、前述の発生したホットキャリアを酸化膜中に注入する電界強度が緩和されて、この酸化膜中へのホットキャリアの注入が抑制されるため、上記電子特性の劣化を防止することができる。

なお、以上、第3図、第4図において、nチャネルMOSFETを例にとって本発明の製造方法を説明したが、これに限らず例えばpチャネルM

EFTも、第3図(f)に示すnチャネルMOSFETと同様の効果が得られる。すなわち、polySiゲート13の断面形状が端部において逆テーパ状となるために、ゲート端部におけるゲート酸化膜12の膜厚は厚くなり、ゲート端部での電界集中を緩和することができ、低濃度ドレイン領域21によるソース・ドレイン間の横方向の電界強度緩和をより向上することができる。

また、LDD構造は、上述のように低濃度ドレイン領域を形成することにより、電圧印加時のソース・ドレイン間の横方向の広がり電界を緩和し、アバランシェ降伏およびホットキャリア(電界からエネルギーを得て高エネルギー状態となったキャリア)の発生を抑制するものであるが、このLDD構造の電界緩和の効果を高めるために低濃度ドレイン領域の不純物濃度を低くすると、逆に、特にストレス時間の初期(高電圧印加の初期)において、ゲート電極の側壁に形成された側壁酸化膜に注入されるホットキャリアに起因して素子特

MOSFET、キャバシタ等、本発明はMOS型半導体素子において適用可能である。

また、上記製造方法では、ゲート電極を形成する上で、polySiを堆積するものであったが、これはアモルファスSiであってもよく、このものはpolySiゲートを熱酸化する工程時にpolySiとなる。

また、polySi層に拡散する不純物もリンを使用しているが、これに限らず他の導電性不純物を用いててもよい。

また、上記製造方法では、polySiゲートの下部端部は側壁酸化膜に削られ、逆テーパ状に形成されるものであったが、リン含有量に分布をもたせて丸みをつけるようにすることも可能である。

4. 図面の簡単な説明

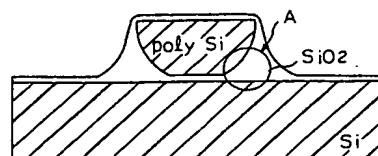
第1図は本発明によるMOS型半導体素子の基本構造を示す断面図、第2図は多結晶Si熱酸化における酸化膜厚と不純物濃度との関係を示す特

特開平3-69166(5)

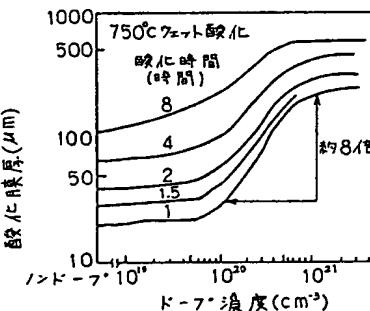
性図、第3図(a)～(f)は本発明一実施例を適用したnチャネルMOSFETの製造工程順断面図、第4図(a)～(e)は本発明によるnチャネルLDD構造MOSFETの製造工程順断面図、第5図はゲート電極下端部が逆テーパ状に形成されたnチャネルMOSFETの断面図、第6図はゲート電極下端部が急峻な形状である従来のnチャネルMOSFETの断面図である。

10…基板、11…高濃度ソース・ドレイン領域、12…ゲート酸化膜、13…poly Siゲート、13a…第1のゲート電極層としての高濃度リン含有層、13b…第2のゲート電極層としての低濃度リン含有層、16、17…側壁酸化膜、21…低濃度ソース・ドレイン領域、A…ゲート電極下端部。

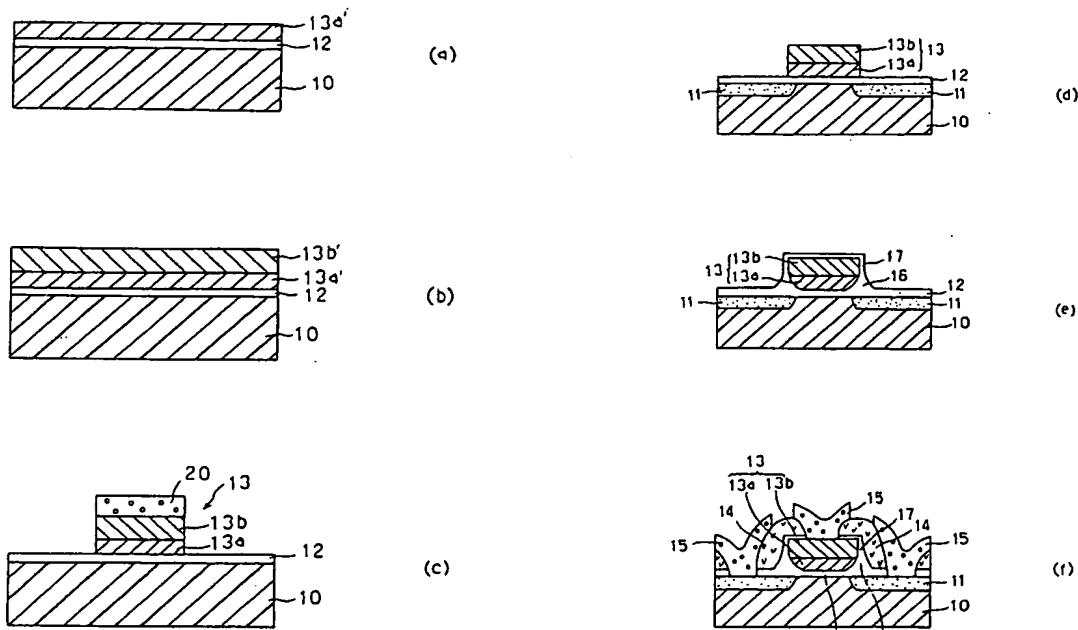
代理人弁理士 岡 部 隆
(ほか1名)



第1図



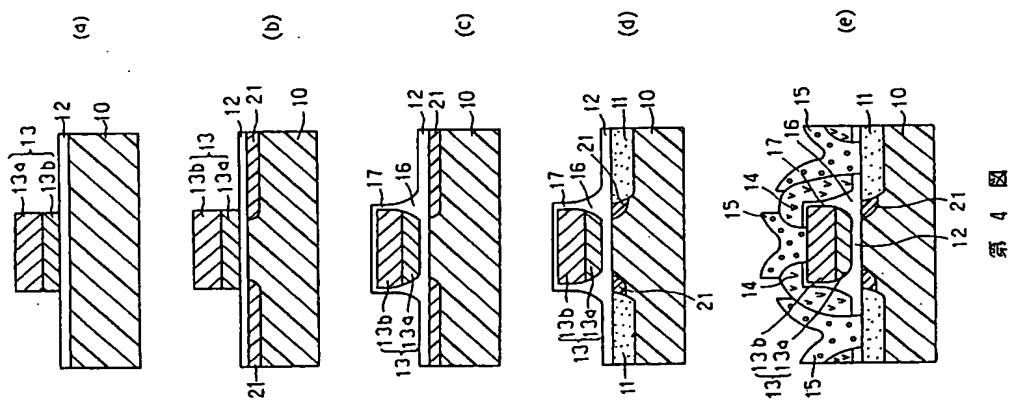
第2図



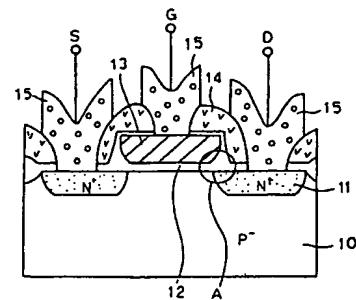
第3図

(6)

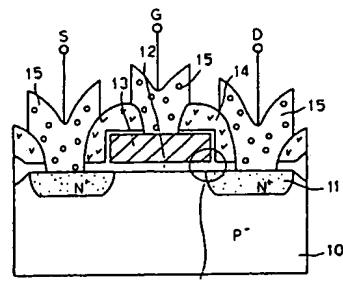
特開平3-69166(6)



第4図



第5図



第6図